Національний технічний університет України

Київський політехнічний інститут

Факультет прикладної математики

Кафедра спеціалізованих комп’ютерних систем

Курсова робота

З дисципліни «Комп’ютерна електроніка»

Виконав:

Студент 3-го курсу ФПМ

групи КВ-93

Орешко А. В.

Київ 2011

Національний технічний університет України

Київський політехнічний інститут

Факультет прикладної математики

Кафедра спеціалізованих комп’ютерних систем

Узгоджено ЗАХИЩЕНА "\_\_"\_\_\_\_\_\_\_\_\_2011р.

Керівник роботи з оцінкою\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

\_\_\_\_\_\_\_/Сапсай Т.Г./ \_\_\_\_\_\_\_\_ / Сапсай Т.Г./

***“ Дослідження схеми з трьома станами на виході***

***на основі схеми 3І-НЕ ТТЛ”***

#### Виконавець роботи:

Орешко Антон В’ячеславовоич

\_\_\_\_\_\_\_\_\_2011р.

\_\_\_\_\_\_\_\_\_

Завдання на курсову роботу

Варіант №9

1. Задати режим роботи програмного лічильника

N = 18354

1. Дослідити базову схему 3І – НЕ транзисторно-транзисторної логіки. Вхідні дані для розрахунку:

E =5

U0ВХ = 0.105 В

U1ВХ = 4.28 В

U0ВИХ = 0.081В

U1ВИХ = 4.58 В

UБЕ ≈ 0.6 В

UБК ≈ 0.55

I0ВХmax = 0.0015 А

IН = 0.086 А

1. На базі дослідженої схеми побудувати схему 3І – НЕ з 3-ма станами на виході (парафазний підсилювач із складним транзистором). Перевірити роботу схеми на загальну шину.

Виконав:

Студент 3-го курсу ФПМ

Групи КВ-93

Орешко Антон

Превірила:

Сапсай Т.Г.

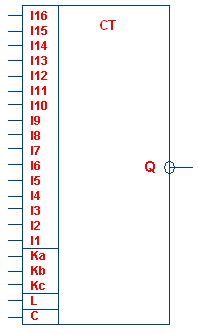
\_\_\_\_\_\_\_\_\_\_\_\_

1. **Задати режим роботи програмного лічильника**

N = 18354 багаторазовий режим роботи

Програмований лічильник ділить вхідну частоту від 3 до 21327. Він працює за формулою: N=M(1000\*P1+100\*P2+10\*P3+P4)+P5

Умовне графічне зображення програмованого лічильника:



N - коефіцієнт ділення вхідної частоти

M – модуль, дорівнює 2, 4, 5, 8, 10, в залежності від реалізації.

Багаторазовий режим роботи задається входом L = 0, а одноразовий: L = 1.

Вхід C – синхровхід.

Входи J5 – J8 визначають P4,

входи J9 – J12 визначають P3,

входи J13 – J16 визначають P2.

Входи J1 – J4 поділяються між P1 та P5 в залежності від M та N за таблицею:

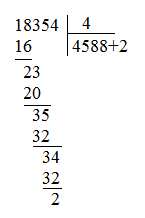
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **M** | **P1max** | **P5max** | **Nmin** | **Nmax(P2-P4, 0…9)** | **Nmax(P2-P4, 0…15)** |
| 2 | 7 | 1 | 3 | 15999 | 17331 |
| 4 | 3 | 3 | 3 | 15999 | 18663 |
| 5 | 1 | 4 | 3 | 9999 | 13329 |
| 8 | 1 | 7 | 3 | 15999 | 21327 |
| 10 | 0 | 9 | 3 | 9999 | 16659 |

Входи Ka , Kb , Kc задають значення коефіцієнта М згідно таблиці:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **L** | **Ka** | **Kb** | **Kc** | **M** | **Режим роботи** |
| 0 | 1 | 1 | 1 | 2 | Багаторазовий |
| 0 | 0 | 1 | 1 | 4 |  |
| 0 | 1 | 0 | 1 | 5 |  |
| 0 | 0 | 0 | 1 | 8 |  |
| 0 | 0 | 1 | 0 | 10 |  |
| 1 | 1 | 1 | 1 | 2 | Одноразовий |
| 1 | 0 | 1 | 1 | 4 |  |
| 1 | 1 | 0 | 1 | 5 |  |
| 1 | 0 | 0 | 1 | 8 |  |
| 1 | 0 | 1 | 0 | 10 |  |
| \* | \* | 0 | 0 | \* | Заборонена лічба/перезапис |

Для N = 18354 візьмемо M = 4. Тоді P1max = 3, P5max = 3. P1max та P2max означають максимальну кількість розрядів, які потрібні для P1 та P2.

Визначимо P1, P2, P3, P4, P5:



Звідси:

P1 = 4 P2 = 5 P3 = 8 P4 = 8 P5 = 2

Оскільки P1max = 3, а P2max = 16 то:

P1 = 310 = 112

P2 = 1510 = 11112

P3 = 810 = 10002

P4 = 810 = 10002

P5 = 210 = 102

Перевіримо значення N за формулою:

N=M(1000\*P1+100\*P2+10\*P3+P4)+P5 = 4\*(1000\*3+100\*15+10\*8+8)+2 = 18354

Знайдемо значення решти вході в залежності від таблиць та варіанту:

Ka = 0 Kb = 1 Kc = 1 L = 0

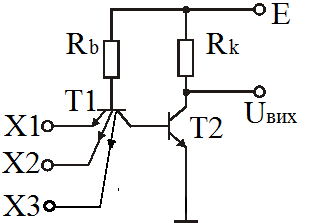
Структура управляючого слова:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| J16 | J15 | J14 | J13 | J12 | J11 | J10 | J9 | J8 | J7 | J6 | J5 | J4 | J3 | J2 | J1 | Ka | Kb | Kc | L |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |

P2  P3 P4 P1 P5

1. **Дослідити базову схему 3І – НЕ транзисторно-транзисторної логіки**

* **Багатоемітерні транзистори**

****

В інтегральних логічних схемах часто використовуються багатоемітерні транзистори. Такі транзистори зручно використовувати для багатовходових логічних вентилів, тому що це спрощує процес виготовлення інтегральних схем. Використання багатоемітерного транзистора в схемі логічного вентиля показано на малюнку. Тут три емітера транзистора T1 являються входами схеми. Транзистор Т2 інвертує сигнал, тому обидва транзистора: Т1 і Т2 формують логіку заперечення. Ця схема представляє транзисторно-транзисторний логічний вентиль 3І-НЕ.

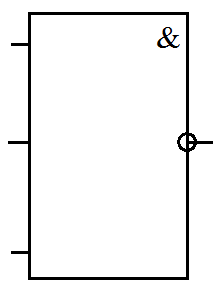
Обидва транзистори в схемі n-p-n типу, тому при роботі у прямому (неінверсному режимі) пряме зміщення напруги на базі має позитивну полярність відносно емітера.

На базу Т1 через Rb подається позитивний потенціал (декілька вольт) . Якщо на один із входів Т1 подати від’ємний, або навіть невеликий позитивний потенціал (не більше 0.5В), то емітер ний струм Т1 майже дорівнює току бази Т1, а струм бази Т2 практично рівен нулю і Т2 закрит. Якщо ж на всі входи Т1 подати позитивний потенціал 1 – 2В, тоТ1 буде працювати в інверсному режимі, струми емітерів становляться практично рівними нулю, і струм бази Т2 дорівнює струму на базі Т1.

В такому випадку Т2 відкритий і знаходиться у стані насичення. Вихідний каскад на транзисторі Т2 працює як інвертор, а багатоемітерний транзистор Т1 виконує функції логічної схеми І.

Використання багатоемітерних транзисторів і ТТЛ логічних елементів дозволяє мінімізувати число елементів інтегральної схеми. Використання безпосереднього зв’язку між транзисторами виключає застосування перехідного конденсатора і сприяє підвищенню швидкодії та завадостійкості схеми цього типу. Інколи використовують багатоемітерні транзистори з 4-5 входами, але більша кількість емітерів призводить до зниження завадостійкості схеми.

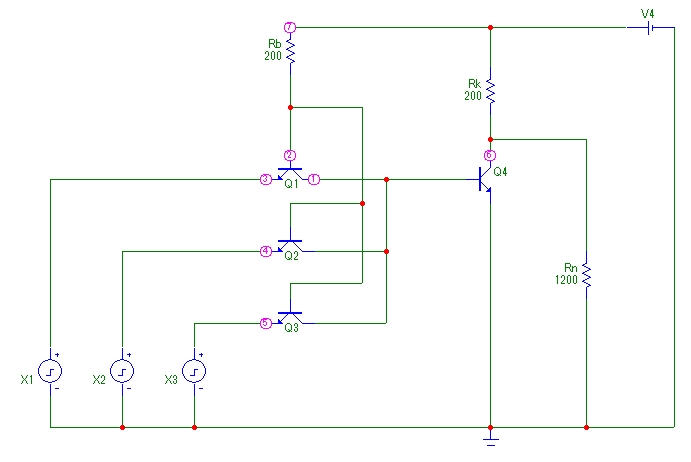
* **Умовне графічне позначення схеми 3І - НЕ:**



* **Логічна функція**

Y = X1 X2 X3

* **Електронна схема:**



* **Таблиця станів схеми**

|  |  |  |  |
| --- | --- | --- | --- |
| **X1** | **X2** | **X3** | **Y** |
| **L** | **L** | **L** | **H** |
| **L** | **L** | **H** | **Н** |
| **L** | **H** | **L** | **Н** |
| **L** | **H** | **H** | **Н** |
| **H** | **L** | **L** | **Н** |
| **H** | **L** | **H** | **Н** |
| **H** | **H** | **L** | **Н** |
| **H** | **H** | **H** | **L** |

Якщо маємо хоча б на одному х входів X1, X2, X3 низький рівень, то на виході схеми встановиться високий рівень. Низький рівень на виході встановиться лише у випадку наявності трьох високих рівнів на вході схеми.

* **Розрахунок параметрів**

Вхідні дані для розрахунку:

E =5

U0ВХ = 0.105 В

U1ВХ = 4.28 В

U0ВИХ = 0.081В

U1ВИХ = 4.58 В

UБЕ Q1 = UБЕ Q2 = UБЕ Q3 = UБЕ Q4 ≈ 0.6 В

UБК Q1 = UБК Q2 = UБК Q3 ≈ 0.55

I0ВХmax = 0.0015 А

βН Q4=10 ( для режиму насичення )

βІНВ Q1 = βІНВ Q2 = βІНВ Q3 = 1

I1ВИХ = IRb

Порядок розрахунку:

Зазначимо, що I0ВХmax це струм на емітері Q1 коли на вході один низький і два високих рівня. Тоді весь струм з бази Q1 піде на емітер, на якому низький рівень. Отже струм на базі дорівнює I0ВХmax для всіх випадків рівнів на вході схеми.

В завданні курсової роботи сказано: **Дослідити базову схему 3І – НЕ транзисторно-транзисторної логіки.** Ця схема основана на використанні багатоемітерного транзистора. Досліджуємо роботу схеми ми за допомогою MicroCap. У ньому відсутні багатоемітерні транзистори, тому ми змінюємо схему: замість одного багатоемітерного транзистора ми використовуємо три одноемітерні транзистори, у яких спільні колектор і база. Обидві схеми забезпечують виконання однієї логічної функції 3І-НЕ, але існують деякі нюанси. Якщо ми проводимо розрахунок опорів для схеми з трьома транзисторами, то ми маємо враховути той випадок, коли один з них працює в прямому режимі, а інші в інверсному (тобто на входи подається один низький і два високі рівня). В цьому випадку на колекторі багатоемітерного транзистора токи відсутні, але у схемі з трьома транзисторами колектори вхідних транзисторів з’єднані. Тому струми з колекторів інверсних транзисторів поступають на колектор прямого транзистора, змінюючи значення I0ВХmax. Зміна I0ВХmax для кожного випадку призведе до різних значень опорів резисторів схеми. Щоб уникнути цієї ситуації розрахунок опорів будемо проводити, виходячи з припущення, що ми досліджуємо один багатоемітерний транзистор.

Припустимо на всіх входах Q1 низький рівень –транзистор Q1 знаходиться в прямому включенні, тоді напруга у вузлі 2 (база Q1):

U2 = U0ВХ + UБЕ(Q1)= U0ВХ + UБЕ

U2 = 0.6 + 0.105 = 0.705 B

Через опір RБ проходить струм IRб = I0ВХmax, відповідно

Rb = (E – Ub) / IRb= (E – U2) / I0ВХmax

Rb = (5 – 0.705)/0.0015 = 2863.333 Ом

Оскільки IRb не повинен перевищувати I0ВХmax, то значення опору Rb округляємо в більшу сторону: Rb = 2864 Ом

Так як транзистор Q1 знаходиться в прямому включенні, струм у вузлі 1 практично дорівнює нулю, тому транзистор Q4 закритий.

Припустимо, на всіх входах Q1 високий рівень, тоді транзистор Q1 працює в інверсному режимі. Знайдемо напругу у вузлі 2:

U2 = UБЕ(Q4) + UБК(Q1) = UБЕ+UБК

U2 = 0.6 + 0.55 = 1.15 В

Струм через резистор RБ:

IRб = (E – Ub) / Rb

IRб = (5 – 1.15) / 2864 = 0.00134 А

Тоді струм у вузлі 1 (враховуючи, що βІНВ=1) дорівнює:

I1 = IRb + IЕК(Q1) = 2\*IRb

I1 = 2 \* 0.00134 A = 0.00268 A

У той же час

I1 = IБ(Q4)

IБ(Q4) = 0.00268 А

Знайдемо тепер значення опорів Rk та Rn :

Якщо UВИХ = U1ВИХ, то IRk= IRn= I1ВИХ, тоді:

Rk = URk / IRk =(Е - U1ВИХ) / IRb

Rk = (5 – 4.58) / 0.00134 = 313.432 Ом

Rn = URn / IRn =U1ВИХ / IRb

Rn = 4.58 / 0.00134 = 3417.91 Ом

Значення Rk округляємо в меншу сторону, оскільки потрібно забезпечити виконання умови: U1ВХ ≤ U1ВИХ < Е: Rk = 313 Ом

Значення Rn округляємо в більшу сторону, оскільки при розрахунку Rn ми обирали мінімальне значення U1ВИХ = U1ВХ, тому номінал опору треба вибирати, округляючи в більшу сторону: Rn = 3418 Ом.

IRk = (E – UВИХ1) / Rk=(5 – 4,58) / 313 = 0.00134 A

IRn  = UВИХ1/ Rn = 4,58 / 3418 = 0.00134 А

Визначимо навантажувальну здатність даної схеми.

Використовуючи заданий коефіцієнт підсилення струму в режимі насичення, можна знайти струм на колекторі транзистора Q4:

IK(Q4)= βН\*IБ(Q4)

IK(Q4) = 10\*0.00268 = 0.0268 A

Якщо транзистор Q4 знаходиться в режимі насичення, то UВИХ = U0ВИХ, тоді струм через опір колектора Rk дорівнює:

I0Rk = (Е - U0ВИХ) / Rk

I0Rk = (5 – 0.081) / 313 = 0.0157 A

У такий спосіб максимально припустимий струм навантаження буде складати:

IH = IK(Q4) - I0Rк

IH = 0.0268 – 0.0157 = 0.01110 A

А навантажувальна здатність:

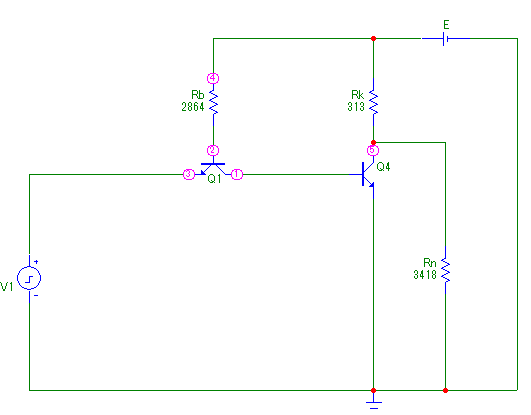
N = IH / I0ВХmax

N = 0.01110 / 0.0015 = 7.4 = 7

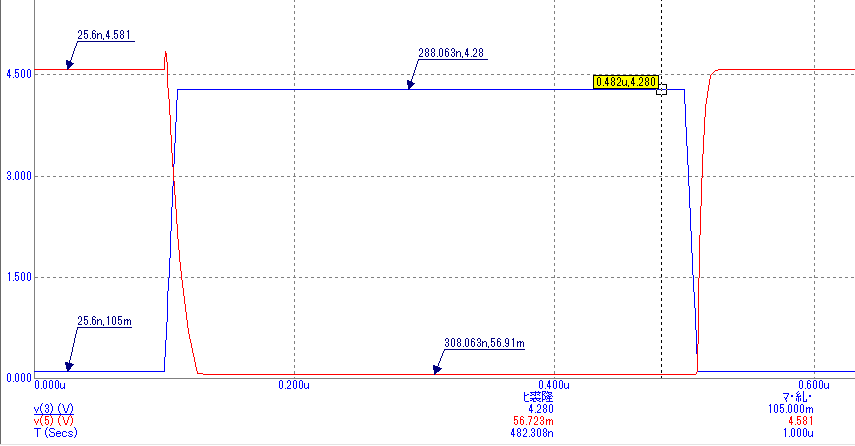
**Проведемо аналіз значень напруг і струмів за допомогою MicroCap:**

Спочатку проведемо дослідження струмів у схемі транзисторного ключа з керуючим транзистором на вході.

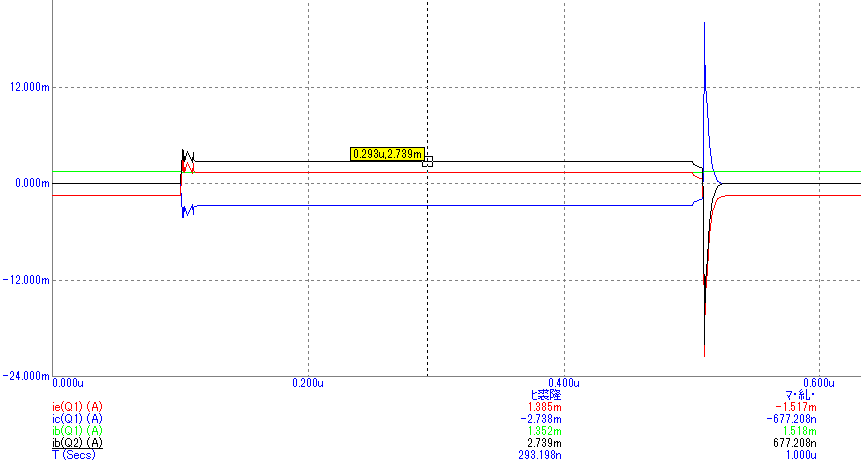
*Примітка: в усіх таблицях значення струмів наведені у міліамперах*



Спочатку продемонструємо роботу схеми:



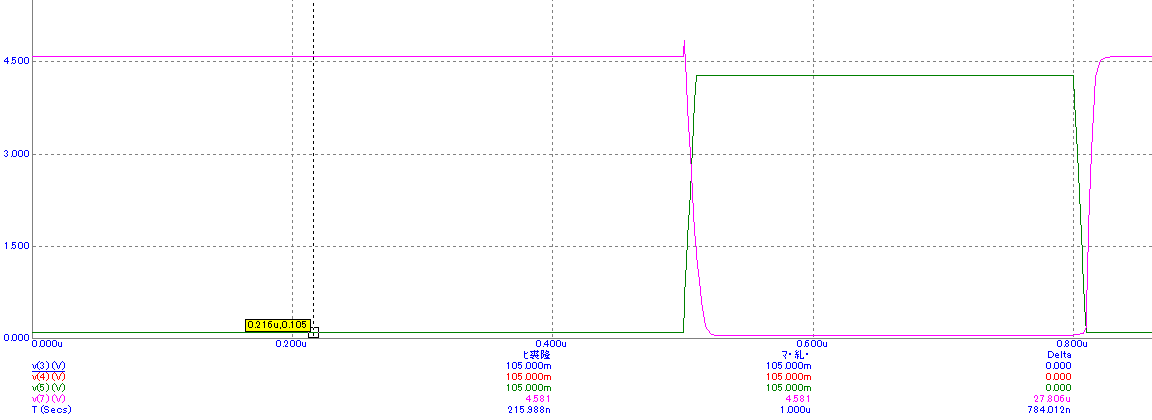
Виведемо значення струму на емітері, колекторі і базі Q1 i на базі Q2:



|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Uвх | Uвих | IbQ1 | IcQ1 | IeQ1 | IbQ2 |
| 4.28 | 0.056 | 1.518 | 2.738 | 1.517 | 2.740 |
| 0.105 | 4.581 | 1.352 | 0 | 1.385 | 0 |

Тепер проведемо дослідження схеми 3І-НE. Дослідимо роботу схеми послідовно для різних випадків:

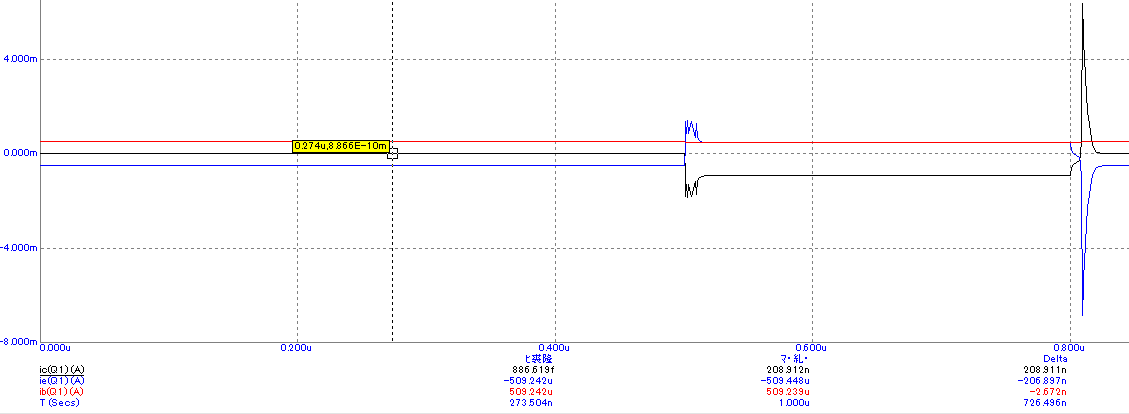
1. **X1 = X2 = X3 = L**

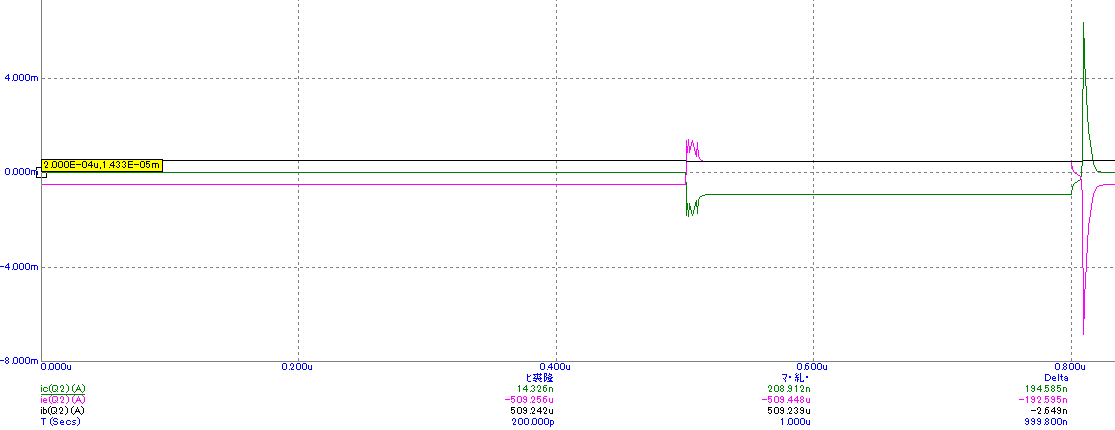


Графіки входів X1, X2, X3 очікувано співпадають.

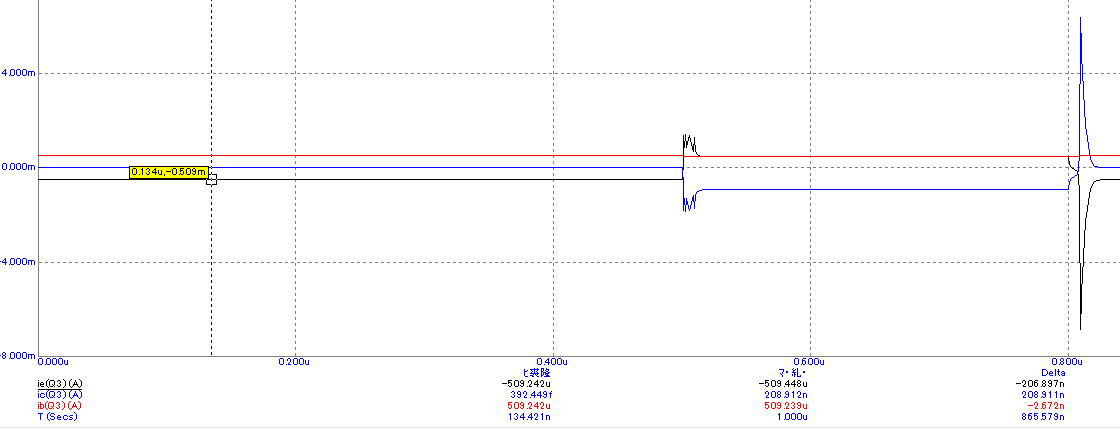
Струми на базах, колекторах і емітерах транзисторів:

Q1:

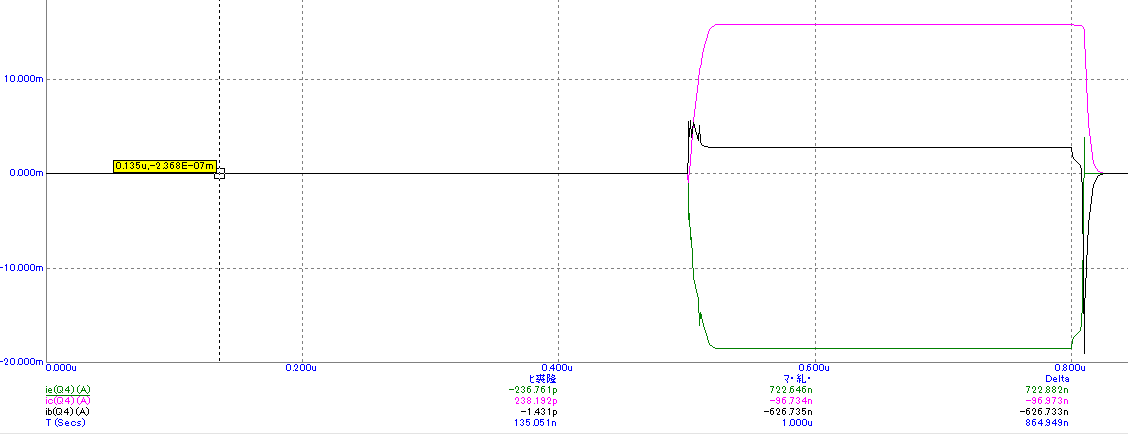


Q2: 

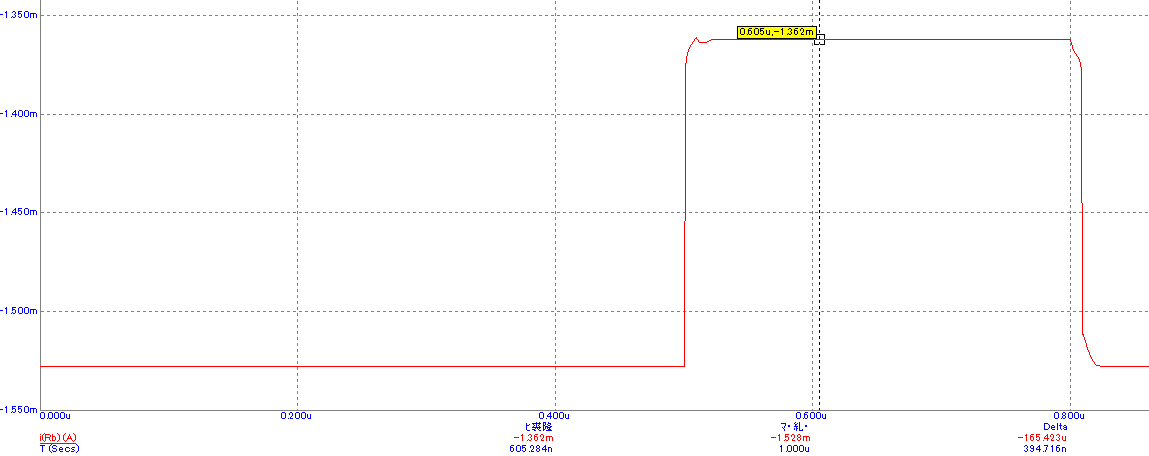
Q3:



Q4:



Також додамо графік струму на резисторі Rb:



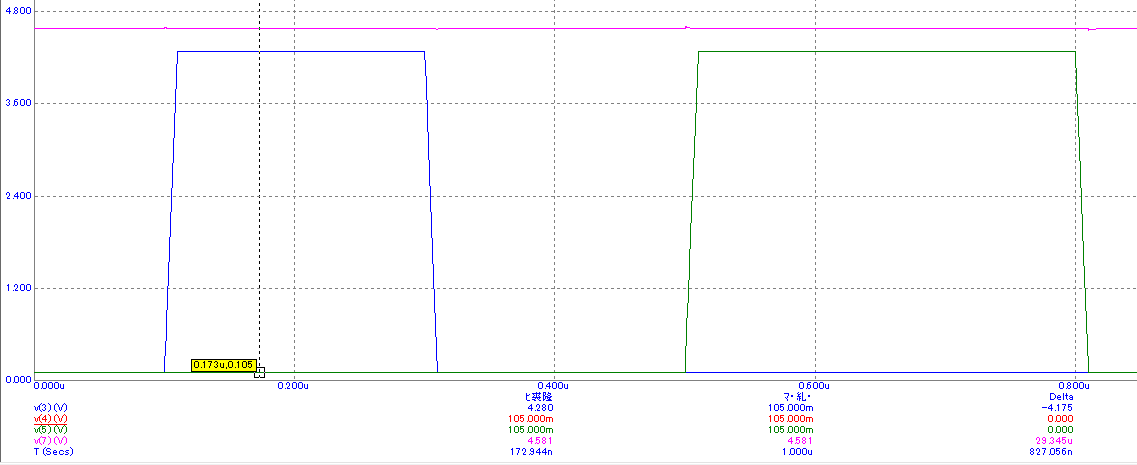
Таблиця із розрахунками:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X1 | X2 | X3 | Uвих | IeQ1 | IcQ1 | IbQ1 | IeQ2 | IcQ2 | IbQ2 | IeQ3 | IcQ3 | IbQ3 | IeQ4 | IcQ4 | IbQ4 | IRb |
| 0.105 | 0.105 | 0.105 | 4.581 | 0.509 | 0 | 0.509 | 0.509 | 0 | 0.509 | 0.509 | 0 | 0.509 | 0 | 0 | 0 | 1.528 |

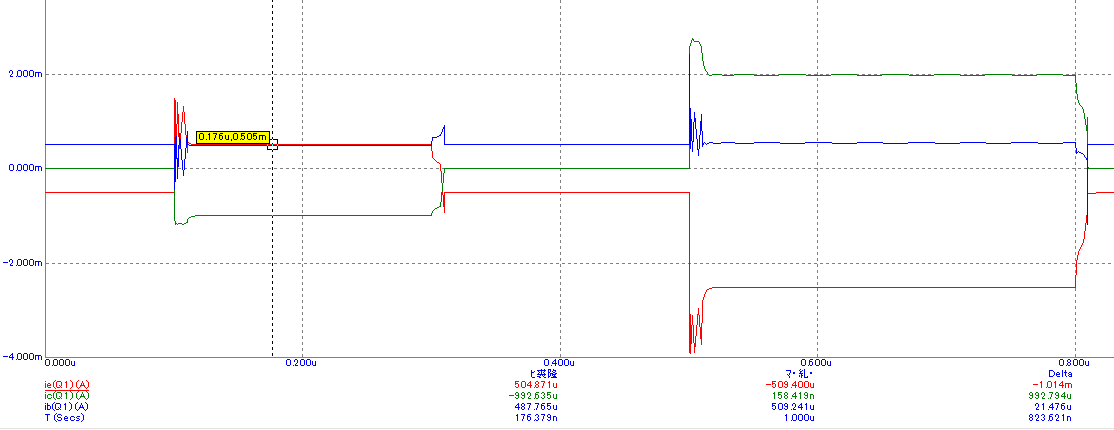
З таблиці бачимо, що струм рівномірно розподіляється між базами трьох транзисторів Q1, Q2 i Q3. Всі вхідні транзистори працюють в прямому режимі. На базі Q4 струм відсутній, тому на виході схеми встановлений високий вихідний рівень, що співпадає із значенням в таблиці станів схеми.

1. **X1 = Н, X2 = X3 = L**

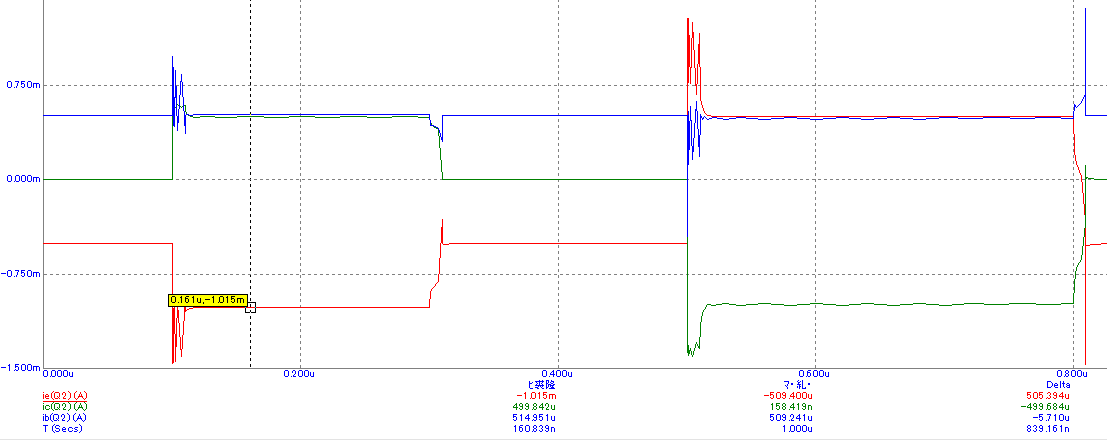
Тепер розглянемо випадок, коли на вході один високий рівень і два низькі:



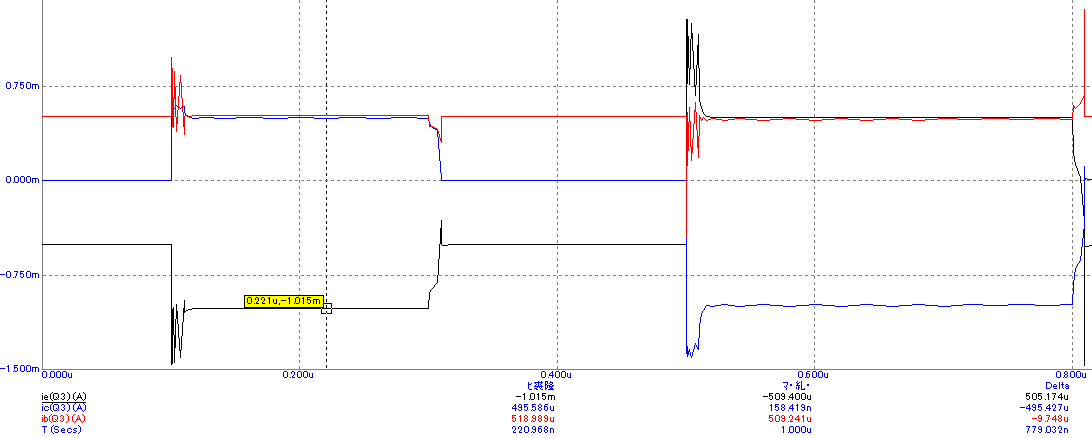
Q1:



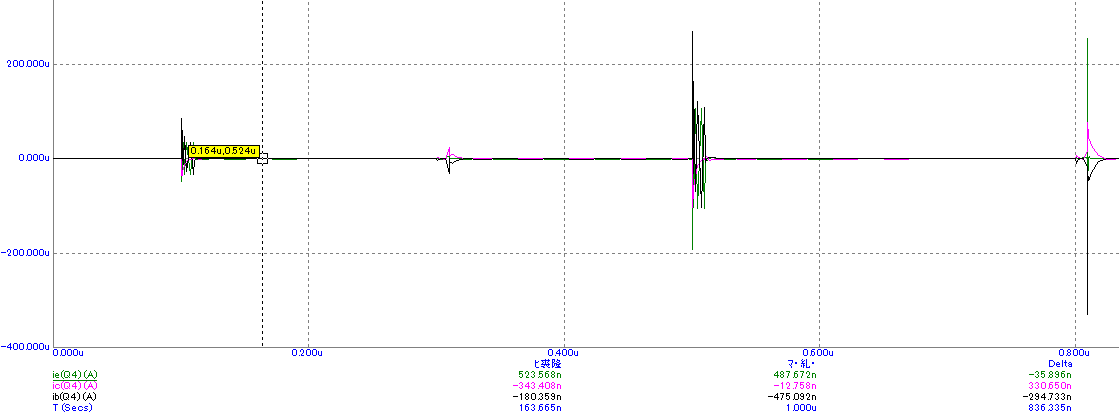
Q2:



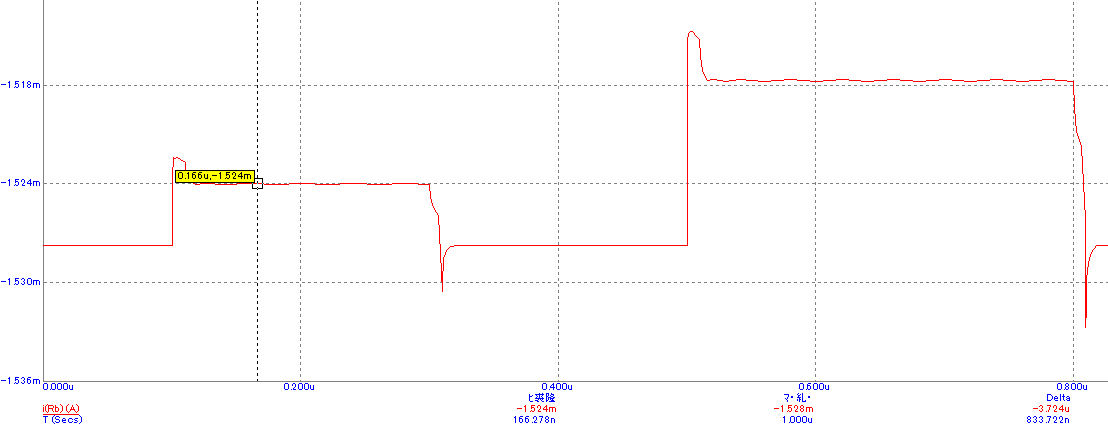
Q3:



Q4:



IRb:



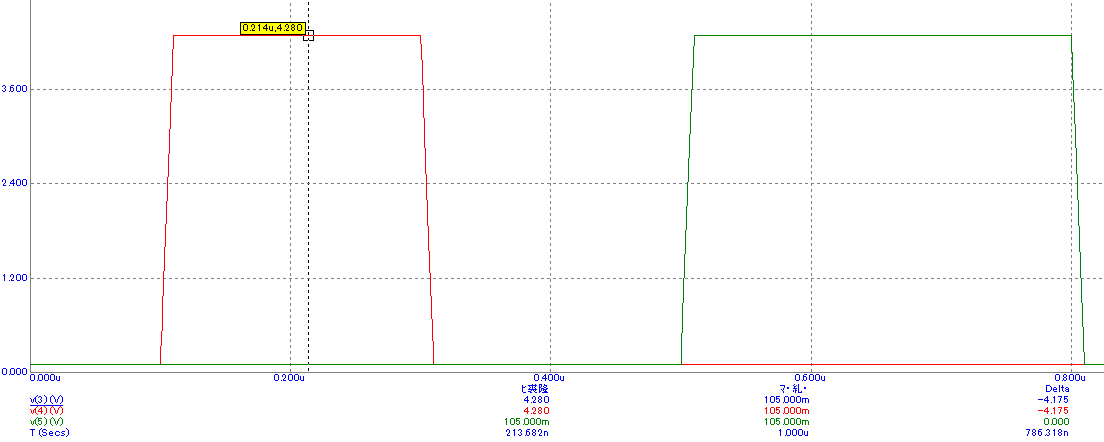
Таблиця із розрахунками:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X1 | X2 | X3 | Uвих | IeQ1 | IcQ1 | IbQ1 | IeQ2 | IcQ2 | IbQ2 | IeQ3 | IcQ3 | IbQ3 | IeQ4 | IcQ4 | IbQ4 | IRb |
| 4.280 | 0.105 | 0.105 | 4.581 | 0.504 | 0.992 | 0.487 | 1.015 | 0.500 | 0.514 | 1.015 | 0.495 | 0.519 | 0 | 0 | 0 | 1.524 |

З таблиці можна побачити, що в зв’язку з високим рівнем на вході X1 транзистори Q2 i Q3 працюють у прямому режимі, а транзистор Q1 у інверсному. На колекторі транзистора Q1 з’являється струм, який ділиться приблизно навпіл і надходить на колектори Q2 i Q3. Це призводить до підвищення струму нуля на входах X2 та X3 (в порівнянні з тим струмом, який надходить на їх бази). Струм на базі Q4 відсутній, тому на виході схеми високий вихідний рівень, що співпадає з таблицею станів схеми.

1. **X1 = X2 = H , X3 = L**

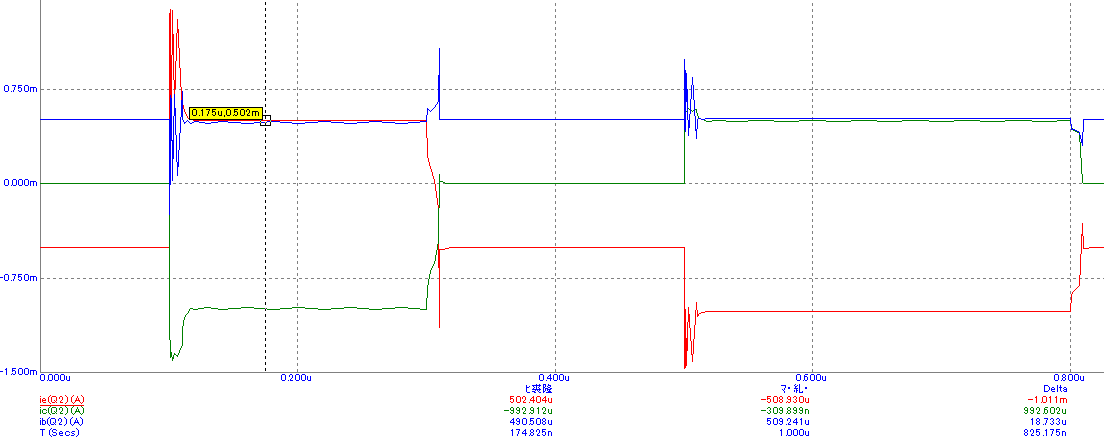
Розглянемо випадок, коли на вході два високі і один низький рівень:



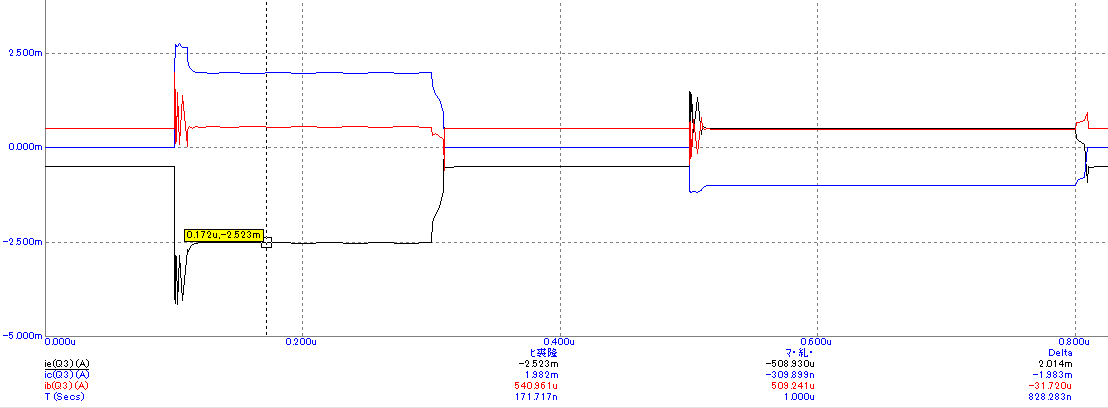
Q1:



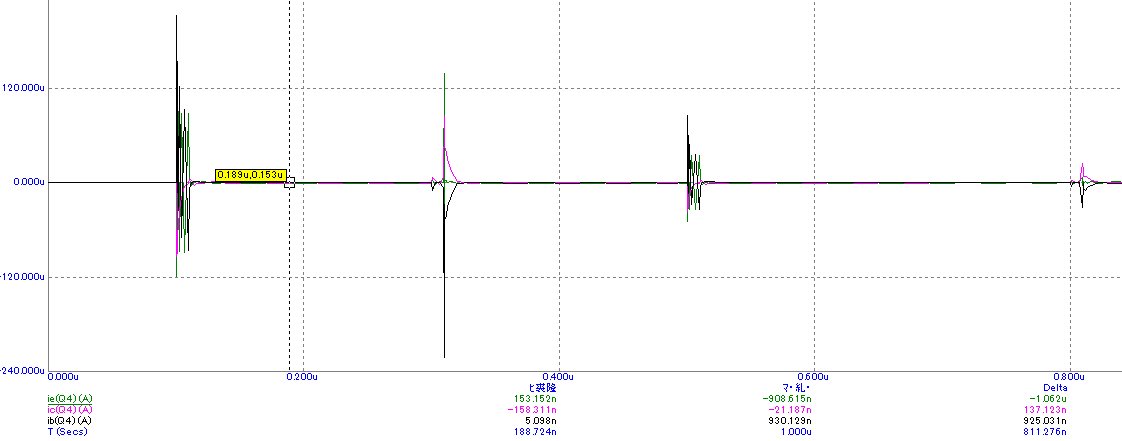
Q2:



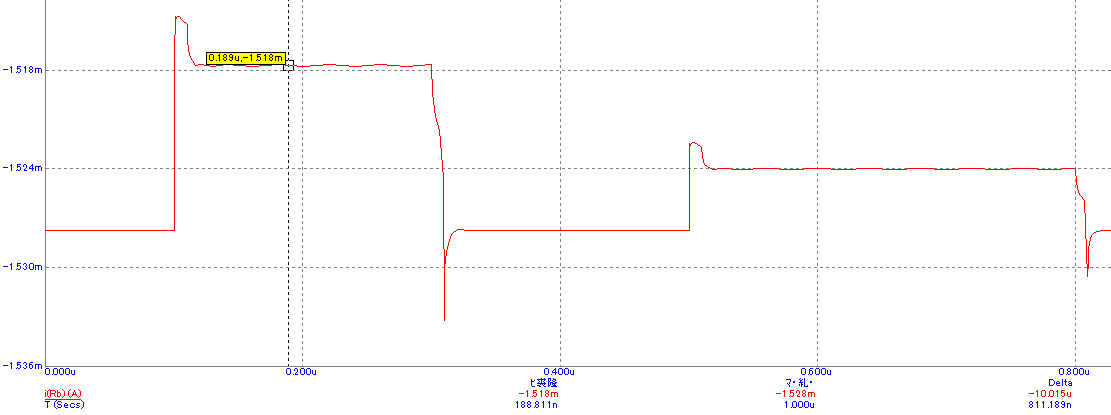
Q3:



Q4:



IRb:



Таблиця із розрахунками:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X1 | X2 | X3 | Uвих | IeQ1 | IcQ1 | IbQ1 | IeQ2 | IcQ2 | IbQ2 | IeQ3 | IcQ3 | IbQ3 | IeQ4 | IcQ4 | IbQ4 | IRb |
| 4.28 | 4.28 | 0.105 | 4.581 | 0.502 | 0.990 | 0.488 | 0.502 | 0.992 | 0.490 | 2.5 | 1.982 | 0.540 | 0 | 0 | 0 | 1.518 |

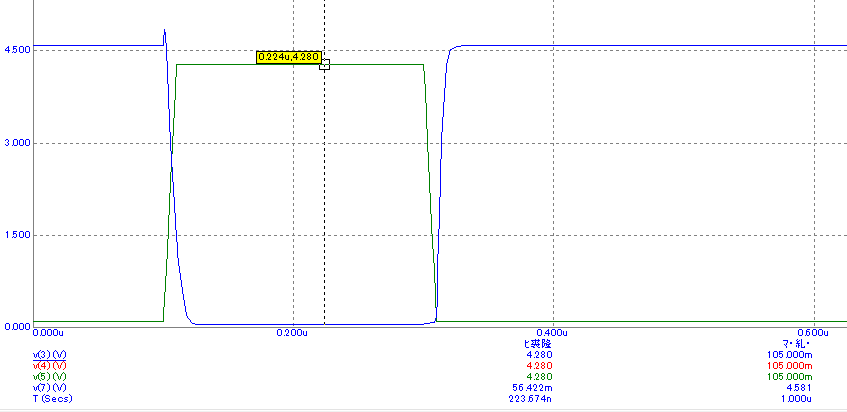
В цьому стані схеми проведемо порівняння із схемою з керуючим транзистором на вході. Звідти чітко можна побачити, що струм на базі Q1 дорівнює струму на емітері Q1, що в свою чергу дорівнює I0ВХmax. У нашій же схемі струм ділиться між базами трьох транзисторів Q1, Q2 i Q3, тому замість нього візьмемо струм IRb.

У цьому стані схеми транзистори Q1 i Q2 працюють в інверсному режимі, а транзистор Q3 в прямому. На емітері Q3 маємо I0ВХmax цієї схеми. Він має дорівнювати IRb. Але цього не відбувається через колекторний струм транзисторів Q1 i Q2. Цей струм призводить до значного підвищення I0ВХmax, що при подальшому розрахунку параметрів призведе до значного спотворення результатів. У багатоемітерному транзисторі таких процесів не відбувається бо у нього всього лише один колектор, і на емітери поступає тільки струм з бази. Тому проводячи розрахунки параметрів цієї схеми, ми маємо на увазі багатоемітерний транзистор.

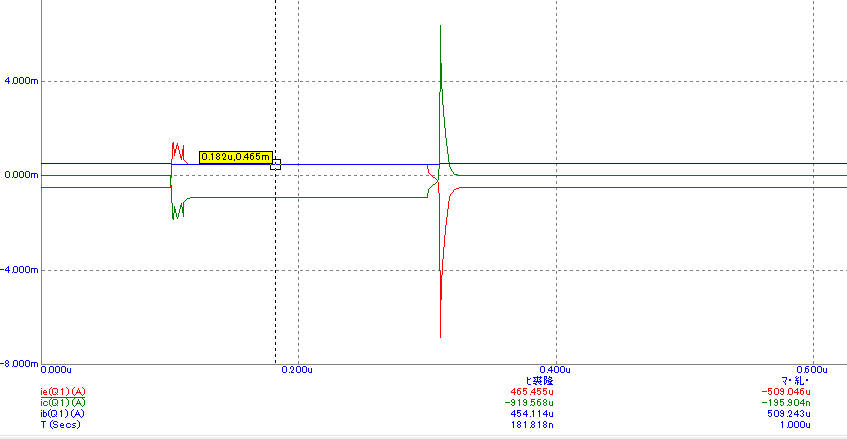
На базу Q4 струм знову-таки не подається. Тому на виході маємо високий рівень, що відповідає таблиці станів схеми.

1. **X1 = X2 = X3 = H**

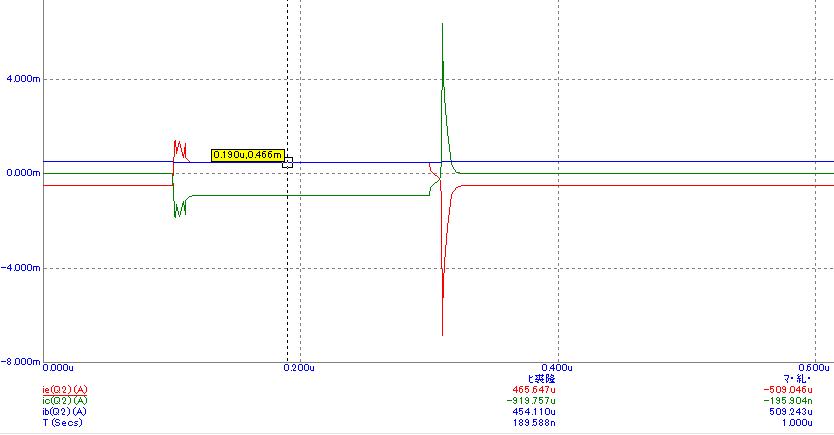
Розглянемо випадок, коли на всіх входах високий рівень:



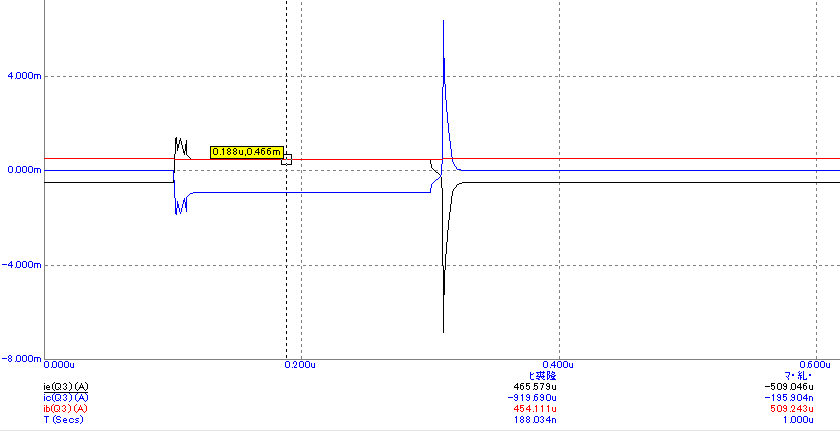
Q1:



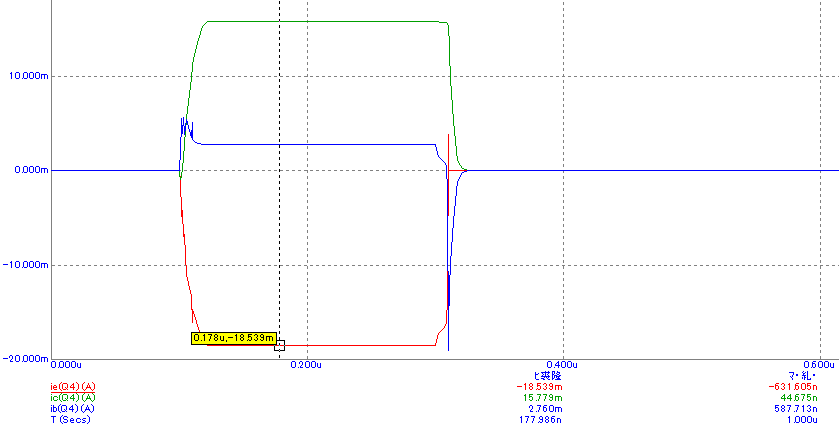
Q2:



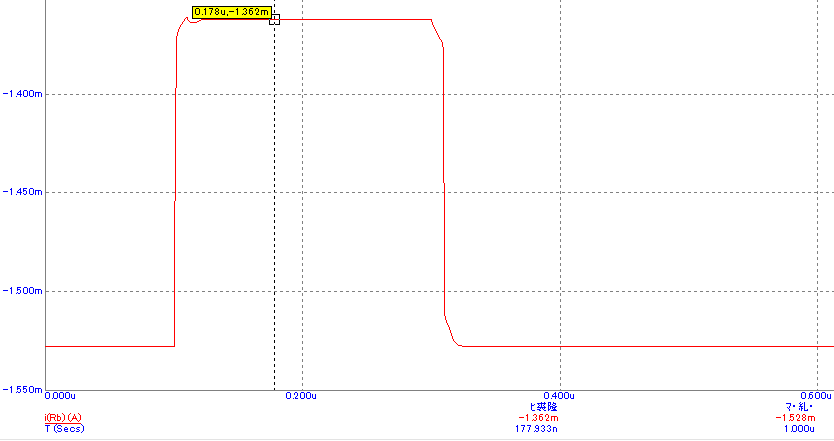
Q3:



Q4:



IRb:



Таблиця із розрахунками:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X1 | X2 | X3 | Uвих | IeQ1 | IcQ1 | IbQ1 | IeQ2 | IcQ2 | IbQ2 | IeQ3 | IcQ3 | IbQ3 | IeQ4 | IcQ4 | IbQ4 | IRb |
| 4.28 | 4.28 | 4.28 | 0.056 | 0.465 | 0.919 | 0.454 | 0.465 | 0.919 | 0.454 | 0.465 | 0.919 | 0.454 | 18.539 | 15.779 | 2.760 | 1.362 |

В цьому стані схеми на всіх входах високий логічний рівень. Транзистори Q1, Q2, Q3 працюють інверсному режимі. Тому на базу Q4 надходить струм з колекторів Q1, Q2, Q3. Транзистор Q4 відкривається і на виході встановлюється низький вихідний рівень.

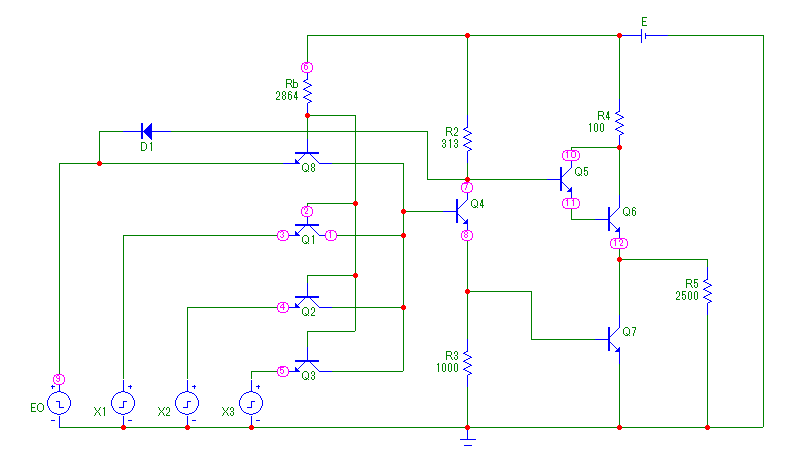
**Висновки:**

У даному завданні досліджувалася схема ТТЛ 3І-НЕ. При дослідженні ми переконались, що на виході схеми низький півень встановлюється лише тоді, коли на всі входи подати високий рівень. Якщо хоча б на одному з входів низький рівень, то на виході схеми встановиться високий рівень. Це пов’язано з багатоемітерним транзистором, який встановлюють на вході логічних вентилів ТТЛ. В електронній схемі не можна було дослідити багатоемітерний транзистор, оскільки він відсутній у програмі MicroCap. Замість нього була досліджена схема з трьома транзисторами, у яких спільна база і колектор. Але в цій схемі присутні серйозні відмінності, хоча вона і виконує еквівалентну логічну функцію. Про ці відмінності у значній мірі було написано при дослідженні певних станів схеми.

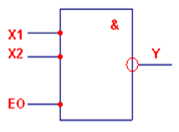
Також варто зазначити, що в даній схемі ми не використовували резистор зміщення струму, який слугує для забезпечення розсмоктування струмів. Оскільки схема має декілька входів, транзистор Q4 буде надійно перемикатися.

1. **На базі дослідженої схеми побудувати схему 3І – НЕ з 3-ма станами на виході (парафазний підсилювач із складним транзистором). Перевірити роботу схеми на загальну шину.**

* Електронна схема:



* Умовне графічне зображення:



* Принцип роботи:

На виході схеми може бути три стани: стан логічної «1», стан логічного «0» та третій стан – високоімпедансний. Він характеризується тим, що вихідні транзистори в парафазному підсилювачі знаходяться в режимі відсічки. Цей стан забезпечується подачею на вхід ЕО (Enable Out) високого рівня. В цьому випадку вхідні сигнали Х1 та Х2 на вихідний рівень не впливають.

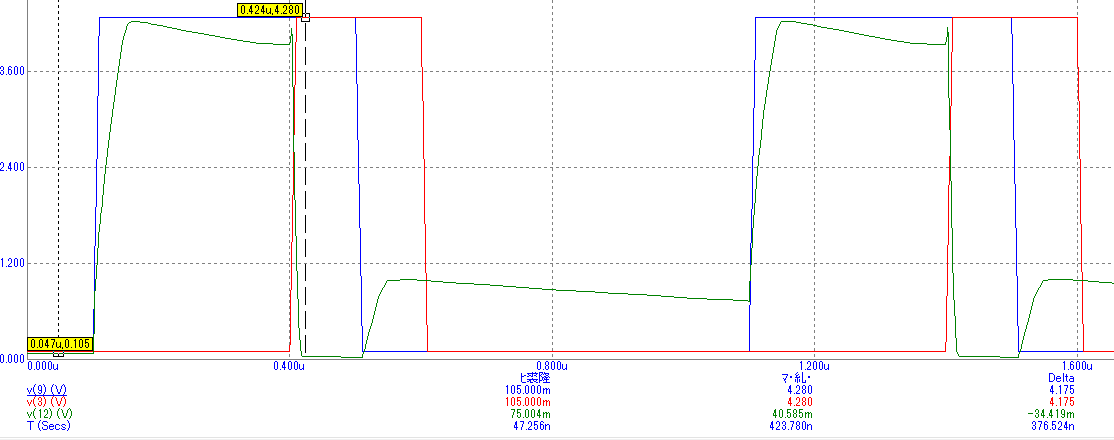
Схеми з трьома станами використовуються для організації обміну через загальну шину.В результаті схеми з трьома станами дозволяють запобігти накладанню сигналів від різних пристроїв, підключених по одній шині, і запобігти завадам у спільних для декількох пристроїв провідниках. Третій стан необхідний коли на загальну шину підключають декілька виходів. Завдяки йому схему можна у потрібний момент відключити від загальної шини. Але потрібно контролювати, щоб у один момент часу лише один вихід був активним, а всі інші були у високоімпедансному стані.

Опишемо роботу схеми:

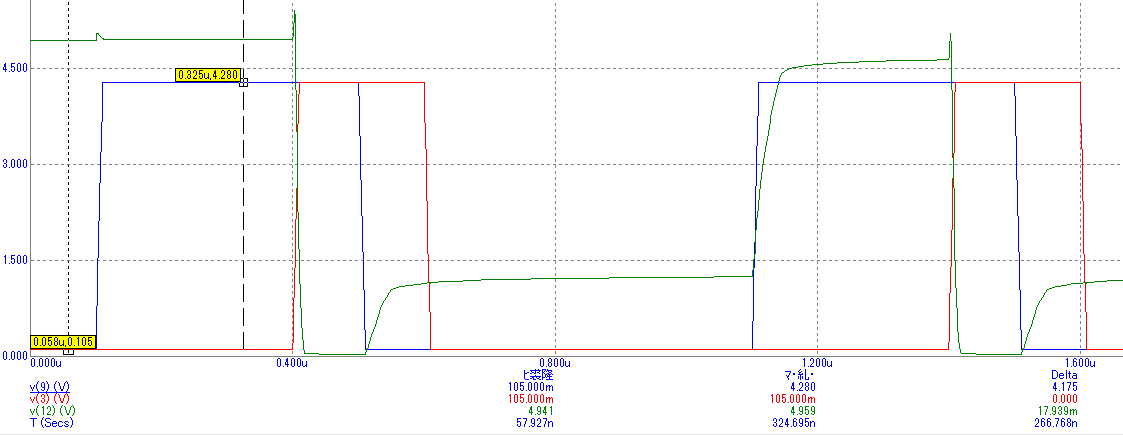
Для входу EO активним є рівень логічного нуля. При цьому вихідний рівень схеми не змінюється, якщо змінити значення входів X1 та X2. Активний рівень на EO забезпечує закриття транзистора Q4, і відповідно закриття Q7. Якщо на EO активний рівень, то у точці 7 буде низький рівень, тому струм на базу Q5 i Q6 не надходить. Ці транзистори знаходяться у стані відсічки, і на виході схеми маємо високоімпедансний стан.

Якщо ж на EO неактивний високий вхідний рівень, то він ніяк не впливає на роботу схеми. Вона буде працювати як схема 4І-НЕ.

Дослідимо поведінку схеми для різних випадків (для зручності будемо брати однакові значення на входах X1, X2, X3):

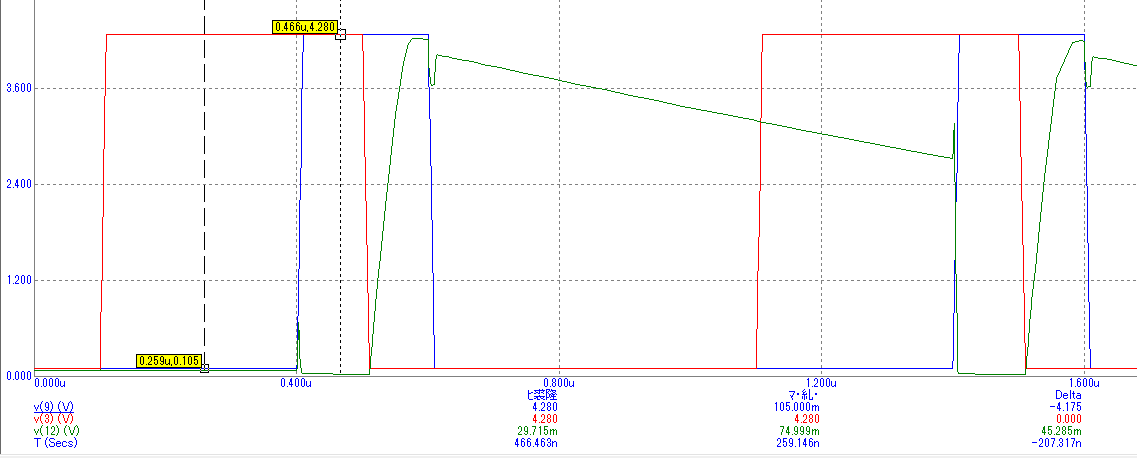


Спочатку на всіх входах встановлений рівень логічного нуля. Тому на виході схеми ми маємо отримати високий рівень. Але цього не відбувається, на виході низький рівень, оскільки на EO подається активний рівень. Як тільки на EO подаємо високий рівень, то на виході схеми встановлюється рівень логічної одиниці. Далі на всіх входах встановлюємо високий рівень, і на виході схеми встановлюється низький рівень. Потім на EO подаємо знову активний рівень. На виході схеми встановлюється високоімпедансний стан. Відбувається підвищення напруги на 0.6 В, що можна пояснити використанням діода. На виході накопичується заряд, який поступово розсмоктується через резистор навантаження. Приведемо цей же графік без резистора навантаження:



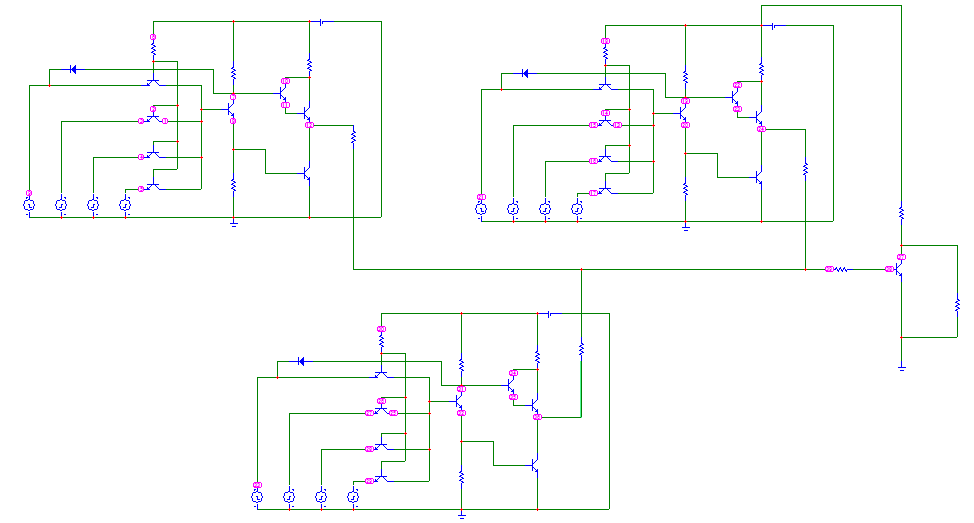
Тут видно, що у високоімпедансному стані заряд на виході не розсмоктується, оскільки йому нема куди дітися.

Приведемо ще декілька прикладів роботи схеми:

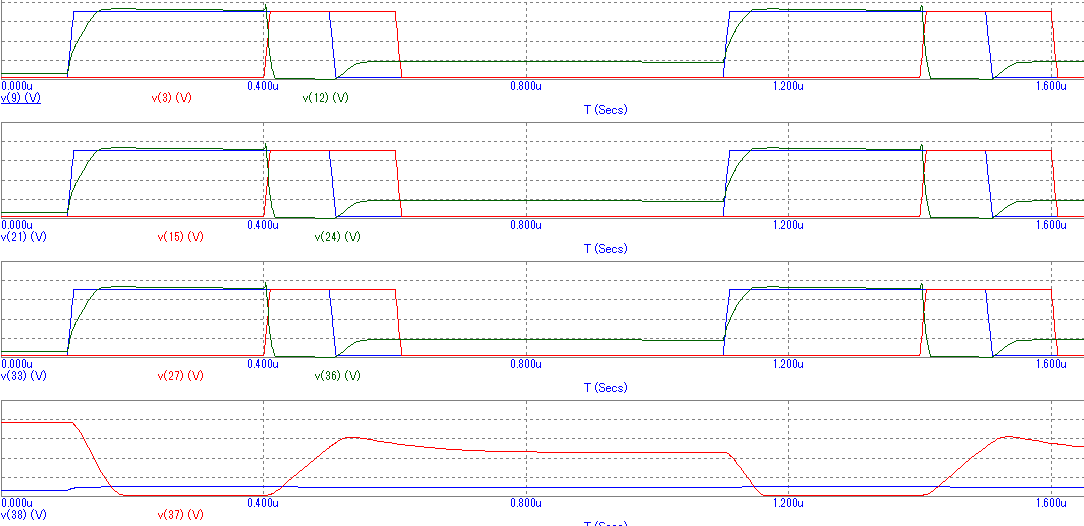


Спочатку на всіх входах встановлений рівень логічного нуля. Тому на виході схеми ми маємо отримати високий рівень. Але цього не відбувається, на виході низький рівень, оскільки на EO подається активний рівень. На виході схеми високоімпедансний стан. Потім на входи X1, X2, X3 подаємо високий рівень. Вихід схеми продовжує перебувати у високоімпедансному стані. Далі подаємо на EO неактивний рівень, і на виході схеми встановиться низький рівень. Далі на входи схеми подамо низький рівень. І на виході встановиться високий рівень. Коли ми подамо на EO активний рівень, то виході схеми знову встановиться високоімпедансний стан. Заряд почне розсмоктуватись через резистор навантаження.

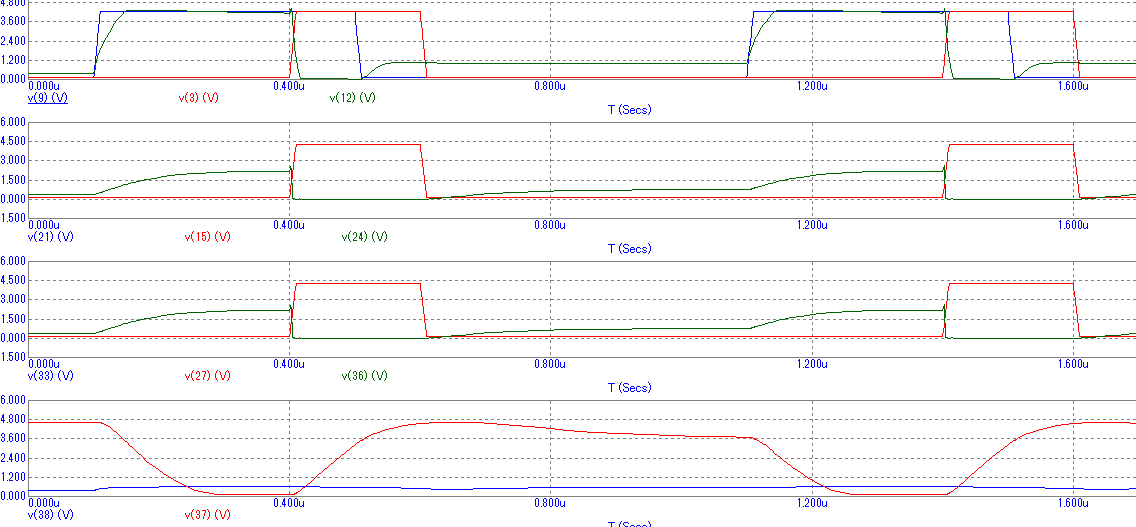
Дослідимо роботу схеми на загальну шину:



З’єднаємо три схеми загальною шиною. За допомогою транзисторного ключа будемо контролювати вихідний рівень залежно від станів на виходах схем.



Коли всі три схеми переходять у високоімпедансний стан, на виході інвертора встановиться високий вихідний рівень.



З цих графіків видно, що на низький рівень на виході інвертора впливає лише високий рівень на виході першої схеми. Інші схеми знаходяться у високоімпедансному стані, і ніяк не впливають на вихідний рівень.

**Список використаної літератури:**

1. Конспект лекцій з комп’ютерної електроніки
2. П. Хоровиц, У. Хилл. Искусство схемотехники.